

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094048

(43)Date of publication of application : 06.04.2001

H01L 27/04  
H01L 21/822

(71)Applicant : TOSHIBA CORP

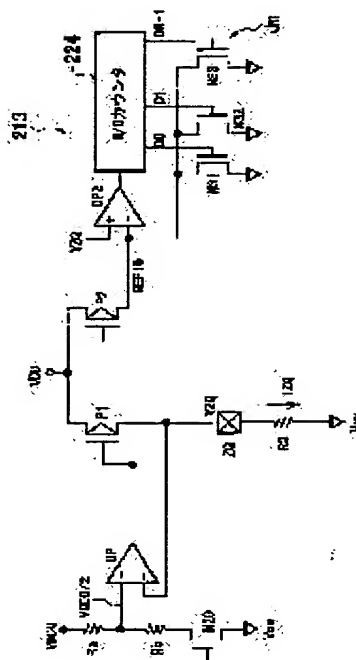
(72)Inventor : OTSUKA NOBUAKI  
KAMEDA YASUSHI

## (54) SEMICONDUCTOR DEVICE

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having an output impedance control circuit for performing highly accurate impedance adjustment for an output buffer circuit, even if power supply voltage is reduced in a semiconductor device having programmable impedance control function.

**SOLUTION:** The gate terminal level of a first load transistor connected to an external resistor, whose impedance is specified is controlled, so that the voltage of the connection node becomes  $1/2$  the drive power supply voltage of an output buffer circuit. A second load transistor, that is the same conductor as the first load transistor and whose gate, is commonly connected to the first load transistor, and a dummy output buffer circuit that is used for impedance matching are connected in series, and the size of the dummy buffer circuit is controlled so that the drain voltage of a group of transistors of the dummy buffer circuit becomes  $1/2$  the drive power supply voltage of the output buffer circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



どり、外部キャパシタモリなどの動作周波数は数百MHzレベルになっている。

[0003] このような周波数でメモリの出力データをMPUに転送するためには、ポート上データバスにおける信号反射などを考慮にいれて、メモリ側の出力バッファ回路のインピーダンスとポート上データバスのインピーダンスとのマッチングをとることが必要となる。動作周波数の増加に伴い、このインピーダンスマッチングの精度もより厳しくなっている。そのため、必要とされる精度を含めて補正するような機能が用いられるようにした。

[0004] この機能は、具体的に、プロセスバツキなど製造工程におけるバツキやずれといったもの、さらには使用条件（動作温度、動作電圧など）に起因し、メモリ側の出力回路トランジスタの実効的な駆動力に関する特性が変化することに対して、それらを補正すべくトランジスタサイズを回路的に変化させることで、その駆動力を所望の値に調節する、といった機能（プログラマブルインピーダンス制御機能）であり、この機能を実現する例として図9に挙げるような回路がある。

[0005] 図9は、従来のプログラマブルインピーダンス出力バッファ回路を示すブロック図である。

[0006] この回路は、出力バッファ回路111と、この出力バッファ回路111の出力カインピーダンスを調整する符号112とで示す出力カインピーダンス制御回路とで構成されている。例えばユーザがマッチングさせたいバスのインピーダンスを、ZQ端子に抵抗RQとして外付けすることにより、出力カインピーダンス制御回路は、出力バッファ回路111のインピーダンスが抵抗RQに合うように、出力バッファ回路111のトランジスタサイズを変えるように制御する。

[0007] 本例の出力カインピーダンス制御回路は、評価回路112と、電圧比較回路113と、アンプ/ダウンカウンタ114と、レジスタ115、116、117と、セレクタ118と、データ更新コントローラ119と、サンプリングクロック発生回路120とで構成されている。

[0008] 評価回路112は、NMOSTランジスタ112aと抵抗R<sub>0</sub>、R<sub>1</sub>からなる基準電圧発生回路と、出力バッファ回路111と同様の回路形式（あるいはサイズが定数倍）を持つダミーバッファ回路（1X、2X、4X、8X）とを有し、基準電圧発生回路により発生した、ZQ端子の電圧V<sub>ZQ</sub>と前記ダミーバッファ回路へ印加される電圧V<sub>VEVAL</sub>とを電圧比較回路113に与える。この電圧比較回路113の出力に応じてアンプ/ダウンカウンタを行うアンプ/ダウンカウンタ114は、上記の電圧V<sub>ZQ</sub>と電圧V<sub>VEVAL</sub>の電圧比とが一致するように、ダミーバッファ回路のNMOSTランジスタ1X~8Xのオン/オフ調整を行う。

[0009] このようにして、ダミーバッファ回路のイ

ンピーダンスが外部抵抗RQに合うように制御される。

[0010] そして、このダミーバッファ回路の合わせ込みインピーダンスに対応するデータは、データ更新コントローラ119を介して出力バッファ回路111へ送られ、該データに基づいて、出力バッファ回路111を構成する外部動作トランジスタ1Y~8Y、1Z~8Zが選択的にオン/オフ制御される。これにより、出力バッファ回路111は外部抵抗RQにより決まるインピーダンスに設定される。

[0011] かかる回路においては、出力バッファ回路111のプルアップ側及びプルダウン側共にNMOSTランジスタで構成されているために、これらトランジスタにおけるプロセスバツキ及び動作環境によるバツキは共に無い、NMOSTランジスタからなるダミーバッファ回路を用いて一系統で合わせ込んだ結果、これらトランジスタに過渡が可能である。

[0012] しかし、プルアップ側がPMOSTランジスタで構成されている場合は、プロセスバツキがNMOSTランジスタと異なるために、PMOSTランジスタのダミーバッファ回路を用いた別系統のインピーダンスの合わせ込みを行う必要がある。

[0013] 図10は、従来のプログラマブルインピーダンス出力バッファ回路において、二系統のインピーダンス合わせ込みが行われる出力カインピーダンス制御回路の構成を示す回路図である。

[0014] この出力カインピーダンス制御回路の基準電圧発生回路211は、回路の高レベル側電源VDDと低レベル側電源VSSの間の中間レベル電源VDDQを用いて、ZQ端子に定電圧を与える基準電圧発生回路221を有する。基準電圧発生回路221は、分圧抵抗R<sub>a</sub>、R<sub>b</sub>と活性化用NMOSTランジスタN20からなる電圧発生回路により、VDDQ/2なる基準電圧を生成する。得られた電圧はオペアンプOP1の非反転入力端子に入力され、その出力により制御されるNMOSTランジスタN21のソースをオペアンプOP1の反転入力端子に帰還することにより、ZQ端子には基準電圧V<sub>ZQ</sub>=VDDQ/2が与えられる。

[0015] ZQ端子に与えられる基準電圧V<sub>ZQ</sub>により、これに接続された外部抵抗RQには電流I<sub>ZQ</sub>が流れ、これが外部抵抗RQの抵抗値情報に相当する基準電流となる。この基準電流I<sub>ZQ</sub>に基づいて、PMOSTランジスタP21とP23によるカレントミラーにより、電流VDDQ/4からプルダウン用ダミーバッファ回路Ndmに供給される電流を流し込む流し込み定電流源222が構成される。

[0016] また、PMOSTランジスタP21及びP22のカレントミラーと、これを受けるNMOSTランジスタN22及びN23によるカレントミラーとにより、プルアップ用ダミーバッファ回路PdmからVSSに電流を引き込み引き込み定電流源223が構成され

る。

[0017] さらに、出力カインピーダンス制御回路は、ノードREF1Uの電圧とZQ端子の電圧V<sub>ZQ</sub>が入るオペアンプOP2と、その出力に応じてアンプ/ダウンカウンタを行うカウンタ224とを有するプルダウン用の合わせ込みコントローラ213を備えている。加えて、ノードREF1Dの電圧とZQ端子の電圧V<sub>ZQ</sub>が入るオペアンプOP3と、その出力に応じてアンプ/ダウンカウンタを行うカウンタ225を有するプルアップ用の合わせ込みコントローラ215を備えている。

[0018] プルダウン用ダミーバッファ回路Ndmは、複数列（図の場合、N個）併設されたNMOSTランジスタN31、N32、…、N33により構成され、これらのドレインに、流し込み定電流源222のノードREF1Uが共通接続されている。NMOSTランジスタN31、N32、…、N33は、ソースが共通にVSSに接続されており、ゲート幅は1:2:4:…のよう

に設定されている。

[0019] カウンタ224のNビット出力D0~DN-1は、それぞれNMOSTランジスタN31、N32、…、N33のゲートに入る。従って、前記プルダウン用の合わせ込みコントローラ213は、ノードREF1Uの電圧がV<sub>ZQ</sub>に一致するように、ダミーバッファ回路NdmのNMOSTランジスタN31、N32、…、N33のオン/オフを決定し、これによって、ダミーバッファ回路Ndmのサイズが決定される。

[0020] 一方、プルアップ用ダミーバッファ回路Pdmは、複数列（図の場合、M個）併設されたPMOSTランジスタP31、P32、…、P33により構成され、これらのドレインに引き込み定電流源223のノードREF1Dが共通接続されている。PMOSTランジスタP31、P32、…、P33は、ソースが共通に中間レベル側電源VDDQに接続されており、ゲート幅は1:2:4:…のよう

に設定されている。

[0021] カウンタ225のMビット出力U0~UM-1は、それぞれPMOSTランジスタP31、P32、…、P33のゲートに入る。従って、プルアップ用の合わせ込みコントローラ215は、ノードREF1Dの電圧が基準電圧V<sub>ZQ</sub>に一致するように、ダミーバッファ回路PdmのPMOSTランジスタP31、P32、…、P33のオン/オフを決定し、これにより、ダミーバッファ回路Pdmのサイズが決定される。

[0022] 以上のようにして、各ダミーバッファ回路Ndm、Pdmのサイズ（即ちインピーダンス）は、外部抵抗RQに対応して生成される基準電流I<sub>ZQ</sub>に基づいて決定され、これを決定したプルアップ及びプルダウン用の合わせ込みコントローラ213、215の出力D0~DN-1、U0~UM-1は、出力バッファ回路（図示省略）に送られて、該出力バッファ回路のイン

[0023] 通常、出力バッファ回路及びダミーバッファ回路のインピーダンスは、出力レベルに対してリニアな特性を持っているとは限らないので、インピーダンス値の定義としては、出力レベルが出力バッファ回路駆動用の電源電圧VDDQの1/2（出力レベルの中間レベル）にある場合と考えることとなっている。図9に示す1)で回路を構成した場合において、内部回路側の素子のインピーダンスを、外部抵抗RQの値に近い値に設定したとする。外部抵抗RQがカバースべき範囲が狭い場合（例えば50Ω程度）は、ZQ端子のレベルは、外部抵抗RQの値によらずVDDQ/2のレベルの近傍にあるため問題ない。しかし、外部抵抗RQがカバースべき範囲が広い場合（例えば50~70Ω）は、外部抵抗RQが接続されるZQ端子のレベルは、外部抵抗RQの値によって大きく変化し、インピーダンスのリアリティの分だけ、インピーダンスの合わせ込み誤差が生ずる。

[0024] これに対して、図10に示す出力カインピーダンス制御回路では、上述したように、ZQ端子のレベル（V<sub>ZQ</sub>）と、ダミーバッファ回路Ndm、Pdmのドレイン端子レベル（REF1U、REF1D）が出力駆動電源（VDDQ）の1/2のレベルになるように内部回路側のインピーダンスを制御するようにしている。外部抵抗RQがカバースべき範囲が広い場合であっても、外部抵抗RQとダミーバッファ回路のインピーダンスの合わせ込みが比較されて、精度の良いインピーダンスの合わせ込みができるようになっている。

[0025] [説明が解決しようとする課題] しかしながら、上述の図10に示すインピーダンス制御回路では、次のような問題点があった。

[0026] (1) LSIの電源電圧は、世代とともに次第に下がってきており、電源電圧を下げた場合は、トランジスタの閾値電圧V<sub>th</sub>もそれに伴ってスケールアップすることによって、一般的にトランジスタの特性は改善されてきた。しかし、最近では電源電圧が1.8VといったレベルのLSIが提供されているが、ここまで電源電圧が低下すると単純に閾値電圧V<sub>th</sub>のスケールアップができないようになってきている。

[0027] これは、所謂スファクターがスケールアップされないために、サブ・スレッショルドリークはゲート電圧の低下に対して低減されず、且つ閾値電圧V<sub>th</sub>が下ると相対的にリーク電流が増大するが、このサブ・スレッショルドリーク電流がスタンバイ電流などの観点から無視できない大きさになってきたためである。

[0028] 所謂ゲート遅延という見方をすれば、電源電圧が下ることによる、負荷充放電電荷量の減少や、素子のものあるいはデザインルーラー的なスケールアップによる負荷容量のスケールアップなどで、特性が改善される余地はある。しかし、トランジスタの縦横比接続が行



11

っている。なお、タイミングコントロール回路72からバッファ73を介してタイミング制御信号がロウセレクト62、カラムセレクト63、センスアンプ64、及びライバツファ65に供給されて、書き込み時または読み出し時における動作タイミングのコントロールが行われる。

[0049] として、メモリチップ60内部には、出力バッファ回路70のインピーダンスを自動調整する出力インピーダンス制御回路71が設けられ、出力バッファ回路70と出力インピーダンス制御回路71とで、前述したプログラマブルインピーダンス制御機能を実現するプログラマブルインピーダンス出力バッファ回路が構成されている。

[0050] 具体的には、従来と同様に、マッチングすべきインピーダンスを指定するための外部抵抗RQをZQ端子に接続し、メモリチップ60内部では、出力バッファ回路70のインピーダンスが外部抵抗RQの値(あるいはその定数倍)になるように、出力バッファ回路70のインピーダンスが調整される。即ち、出力バッファ回路70と同様の回路形式を持つ(あるいはサイズが定数倍)ダミーバッファ回路Ndm、Pdmのトランジスタが、ダミーバッファ回路Ndm、Pdmのインピーダンスが外部抵抗RQと等しくなるようなサイズを採り、その結果を出力バッファ回路70に反映させている。

[0051] 本実施形態では、図2に示すように、出力バッファ回路70がPMOSTランジスタからなるブルアップ用トランジスタ群70aとNMOSTランジスタからなるブルダウン用トランジスタ群70bで構成されているものとし、上述のようなインピーダンスの合わせ込み制御を、出力バッファ回路70のブルアップ用トランジスタ群70aとブルダウン用トランジスタ群70bにそれぞれ対応した回路形式を持つダミーバッファ回路Pdm、Ndmを用いて、二系統で行うものである。

[0052] まず、ブルダウン用トランジスタ群70bのインピーダンスを調整するためのブルダウン制御系について説明する。

[0053] 図1に示すように、本実施形態のインピーダンス制御回路71は、ZQ端子に直列接続されたPMOSTランジスタP1(第1のトランジスタ素子)と、PMOSTランジスタP1とゲート及びソースをそれぞれ共通としたPMOSTランジスタP2(第2のトランジスタ素子)とを備えている。

[0054] PMOSTランジスタP1のゲートレベルは、ZQ端子の電圧VZQが出力バッファ回路70における出力駆動用電圧VDDQの二つのレベルとなるように、オペアンプOP1(第1のレベル制御回路)によってレベル制御される。

[0055] さらに、従来と同様に分圧抵抗Ra、Rbと活性化用NMOSTランジスタN20からなる電圧発

12

生回路によりVDDQ/2となる基準電圧を生成し、この基準電圧VDDQ/2はオペアンプOP1の反転入力端子に入力され、その出力より制御されるPMOSTランジスタP1、P2のうち、PMOSTランジスタP1のドレインをオペアンプOP1の非反転入力端子に接続することにより、ZQ端子には基準電圧VZQ=VDDQ/2が与えられる。

[0056] そして、図10の従来例と同様にオペアンプOP2とアツプ/ダウンカウンタ224とを有する合わせ込みコントロール213(第1の制御回路)は、PMOSTランジスタP2とダミーバッファNdmとの接続ノードREF1Uのレベルが、VDDQ/2のレベルとなるように、アツプ/ダウンカウンタ224の出力データD0、D1、…DN-1により、ダミーバッファ回路NdmのNMOSTランジスタ群N31、N32、…、N33(第1のダミー用トランジスタ群)に対して選択的に導通、非導通を制御する。

[0057] さらに、アツプ/ダウンカウンタ224の出力データD0、D1、…DN-1は、図2に示すように、レジスタ51を介してデータ更新コントロール52(第2及び第3の制御回路)に供給される。データ更新コントロール52は、合わせ込みコントロール213の制御結果であるアツプ/ダウンカウンタ224の出力データD0、D1、…DN-1に基づいて、出力バッファ回路70のブルダウン用トランジスタ群70bに対して選択的に導通、非導通を制御する。

[0058] 次に、ブルダウン用トランジスタ群70aのインピーダンスを調整するためのブルアップ制御系について説明する。

[0059] 図1に示すように、本実施形態のインピーダンス制御回路71は、前記PMOSTランジスタP1とゲート及びソースをそれぞれ共通としたPMOSTランジスタP3(第3のトランジスタ素子)と、このPMOSTランジスタP3と直列接続されたNMOSTランジスタN1(第4のトランジスタ素子)と、NMOSTランジスタN1とゲート及びソースをそれぞれ共通としたNMOSTランジスタN2(第5のトランジスタ素子)とを備えている。

[0060] また、PMOSTランジスタP3とNMOSTランジスタN1の共通ノードa1のレベルがVDDQ/2のレベルとなるように、オペアンプOP4(第2のレベル制御回路)によってNMOSTランジスタN1のゲートレベルが制御される。

[0061] そして、図10の従来例と同様にオペアンプOP3とアツプ/ダウンカウンタ225とを有する合わせ込みコントロール215(第3の制御回路)は、PMOSTランジスタP2とダミーバッファ回路Pdmとの接続ノードREF1Dのレベルが、VDDQ/2のレベルとなるように、アツプ/ダウンカウンタ225の出力データU0、U1、…UM-1により、ダミーバッファ

13

ア回路PdmのPMOSTランジスタ群P31、P32、…、P33(第2のダミー用トランジスタ群)に対して選択的に導通、非導通を制御する。

[0062] さらに、アツプ/ダウンカウンタ225の出力データU0、U1、…UM-1は、図2に示すように、レジスタ53を介してデータ更新コントロール52に供給される。データ更新コントロール52は、合わせ込みコントロール215の制御結果であるアツプ/ダウンカウンタ225の出力データU0、U1、…UM-1に基づいて、出力バッファ回路70のブルアップ用トランジスタ群70aに対して選択的に導通、非導通を制御する。

[0063] このようにして、マッチングすべきインピーダンスを指定するための外部抵抗RQをZQ端子に接続することにより、出力インピーダンス制御回路71は、出力バッファ回路70のインピーダンスが外部抵抗RQの値(あるいはその定数倍)になるように、出力バッファ回路70のトランジスタサイズを自動調整することができ。

[0064] 上述したように本実施形態の出力インピーダンス制御回路では、ZQ端子の電流パスと、ブルダウン制御用の電流パスと、ブルアップ制御用の電流パスとにそれぞれ挿入されたPMOSTランジスタP1、P2、P3は、各ゲートと本共通し、図10の従来例にあるようなゲート・ドレイン接続の形をしたPMOSTランジスタ(P21)ではないために、閾値電圧ドロップが発生しない。

[0065] ZQ端子のレベルについては、従来と同様に、オペアンプOP1によるフィードバック回路を用いてVDDQ/2レベルに合わせ込むようにしているが、レベル制御にPMOSTランジスタP1を用いることで、図10の従来例のようなNMOSTランジスタN21による閾値電圧ドロップが発生しない、ブルダウン制御用の電流パスについても、従来同様、ダミーバッファ回路Ndmのドレインレベルに当てるPMOSTランジスタP2のドレインレベル(ノードREF1U)をVDDQ/2に合わせ込むようにしている。さらに、ブルアップ制御用電流パスのPMOSTランジスタP3のドレイン(ノードa1)についても、VDDQ/2に合わせ込むようにしている。

[0066] 即ち、PMOSTランジスタP1、P2、P3全てについて、ドレインレベルはVDDQ/2に揃い、かつゲートは共通であるために、トランジスタサイズが同じであれば電流は全て一致し、図10に示した従来例のカレントミラー回路と同様の効果を有することとなる。

[0067] さらに、従来例のカレントミラー回路が正側に電流をミラーするためには、トランジスタがドレイ

14

て、電圧が下がることミラーする精度が低下するという意味で電圧マージンが狭い。これに対して、本実施形態では、ゲートとドレイン電圧が等しくなるために、トランジスタの動作領域に対する傾斜はなくなり、電圧マージンは格段に向上する。

[0068] また、上記従来例では、電圧ミラーはPMOSTランジスタP21で、レベリ制御はNMOSTランジスタN21で別々のトランジスタで行っていたが、本実施形態の構成では、これら1つのPMOSTランジスタP1で実現することができ、トランジスタの接続み段数を減らすことも可能となり、接続み回路による電源マージン不足を解消することができ。

[0069] さらに、NMOSTランジスタN1、N2において、ゲート共通で各ドレイン(ノードa1、REF1D)が、VDDQ/2に合わせ込まれるために、ダミーバッファ回路Pdmにおいても精度良く、同様の電流のミラーが可能となる。

[0070] なお、上記従来例に対して、ノードa1についてのVDDQ/2への合わせ込みが新たに必要となるが、もとよりVDDQ/2への合わせ込み回路は、ZQ端子、ノードREF1U、及びノードREF1Dの3箇所が必要であったものが、1つ増えるだけであり、消費電流も増えるものの、動作スピードが要求される回路ではないので電流消費を絞ることが可能であり、その増減は全体の消費電流に比べれば無視できる範囲である。

[0071] [第2実施形態] 上記第1実施形態では、動作電圧マージンが格段に向上するため、図1の回路構成を前提とした図4に示すような構成が可能となる。

[0072] 図4は、本発明の第2実施形態に係る半導体装置の出力インピーダンス制御回路の要部回路図であり、図1と共通の要素には同一の符号を付し、その説明を省略する。

[0073] 本実施形態では、図1に示した上記第1実施形態の構成において、PMOSTランジスタP1、P2、P3をVDDQ電圧で駆動するようにしたものである。

[0074] このような構成であっても、動作マージンが十分に確保される。この場合、図5に示すように、外部抵抗RQ、ダミーバッファ回路Pdm、Ndm、及び可変抵抗部分(R=PMOSTランジスタP1、R'=PMOSTランジスタP2、R''=NMOSTランジスタN2)が全てVDDQ/2で駆動可能であるために、ブルアップ制御系とブルダウン制御系で電源マージンが異なることもなくなる。これにより、両制御系で合わせ込み精度の違いがなくなり、出力インピーダンス制御回路全体の高性能化が可能になる。

[0075] さらに、図10に示した従来例においては、VDDQ電圧で駆動した中間ノードをVDDQ/2に合わせ込むため、VDDQ電圧とVDDQ/2の別

50

15

々のノイズに対して、合わせ込みが影響を受けた。これに対して、本実施形態では、VDDQ電源をソースに駆動しているで、AC的なノイズに対して中間ノード電位が電源ノイズに同期して変化するために、ノイズが消滅した後のリカバリが非常にスムーズに行われる。よって、ノイズ特性を含めた動作マージンが向上する。

【0076】【第3実施形態】第3実施形態では、出力バッファ回路70の外駆動用トランジスタがNMOSトランジスタ群のみで構成されているものとし、インピーダンスの合わせ込み制御を一系統で行うものである。

【0077】図6は、本発明の第3実施形態に係る半導体装置の出力インピーダンス制御回路の要部ブロック図であり、図7は、同出力インピーダンス制御回路の要部ブロック図である。なお、図1と共通の要素には同一の符号を付し、その説明を省略する。

【0078】本実施形態の出力インピーダンス制御回路は、図1及び図2に示した上記第1実施形態の構成の回路において、プルアップ制御系の構成要素を除去した回路構成であり、その作用効果は、第1実施形態のプルダウン制御系と同様である。

【0079】【第4実施形態】図8は、本発明の第4実施形態に係る半導体装置の出力インピーダンス制御回路の要部回路図であり、図6と共通の要素には同一の符号を付し、その説明を省略する。

【0080】本実施形態では、図6に示した上記第3実施形態の構成において、PMOSTランジスタP1、P2をVDDQ電源で駆動するようにしたものであり、その作用効果は、上記第2実施形態のプルダウン制御系と同様である。

【0081】【発明の効果】以上詳細に説明したように、請求項1及び請求項3の発明によれば、出力インピーダンス制御回路の動作電圧のマージンが格段に向上するため、低電圧電源下においても、外部抵抗の値の広い範囲に亘って、出力バッファ回路に対する高精度のインピーダンス制御が可能となる。これにより、高速性が重要となるLSIチップの低電圧動作が可能となり、電源の動作マージンが向上する。

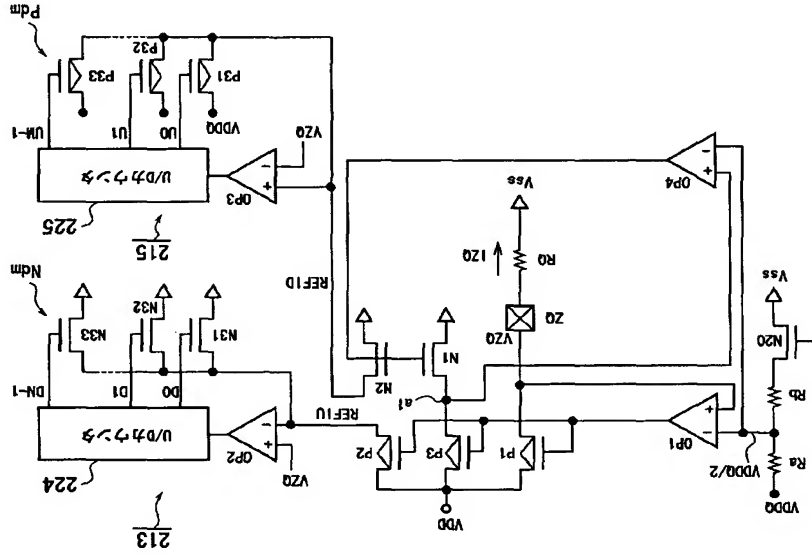
【0082】請求項2及び請求項4の発明によれば、上記請求項1及び請求項3の発明と同等の効果を奏するほか、プルアップ制御系とプルダウン制御系で電源マージンに違いが生じないため、両制御系での合わせ込み精度の違いがなくなり、しかもノイズ特性を含めた動作マージンが向上するため、出力インピーダンス制御回路全体の高性能化が可能になる。

16

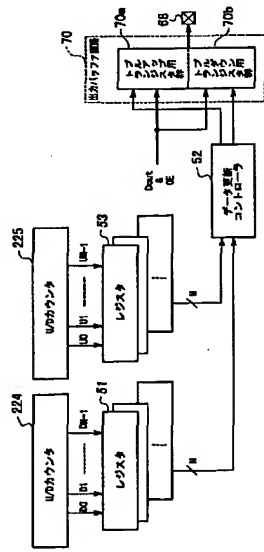
【図面の簡単な説明】

- 【図1】本発明の第1実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。
- 【図2】第1実施形態に係る出力インピーダンス制御回路の要部ブロック図である。
- 【図3】出力インピーダンス制御回路を備えた半導体装置を構成するメモリチップの主要構成ブロック図である。
- 【図4】本発明の第2実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。
- 【図5】図4の回路の電流パスを簡単な抵抗分割で表した図である。
- 【図6】本発明の第3実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。
- 【図7】第3実施形態に係る出力インピーダンス制御回路の要部ブロック図である。
- 【図8】本発明の第4実施形態にかかる半導体装置の出力インピーダンス制御回路の要部回路図である。
- 【図9】従来のプログラマブルインピーダンス出力バッファ回路を示すブロック図である。
- 【図10】従来の出力インピーダンス制御回路の構成を示す回路図である。
- 【図11】図10の回路の電流パスを簡単な抵抗分割で表した図である。
- 【符号の説明】
- P1 PMOSTランジスタ（第1のトランジスタ素子）
- P2 PMOSTランジスタ（第2のトランジスタ素子）
- P3 PMOSTランジスタ（第3のトランジスタ素子）
- N1 NMOSTランジスタ（第4のトランジスタ素子）
- N2 NMOSTランジスタ（第5のトランジスタ素子）
- OP1 オペアンプ（第1のレベル制御回路）
- OP4 オペアンプ（第2のレベル制御回路）
- Pdim ダミーバッファ回路
- Ndim ダミーバッファ回路
- 52 データ更新コントローラ（第2及び第4の制御回路）
- 70 出力バッファ回路
- 71 出力インピーダンス制御回路
- 213 合わせ込みコントローラ（第1の制御回路）
- 215 合わせ込みコントローラ（第3の制御回路）

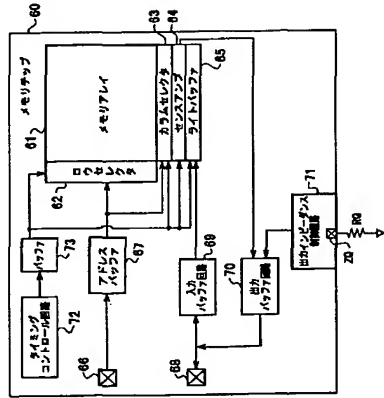
【図11】



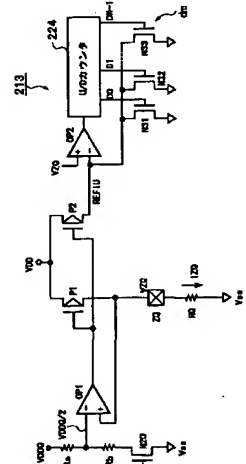
【図2】



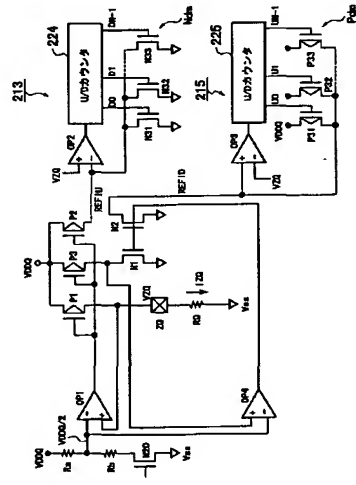
【図3】



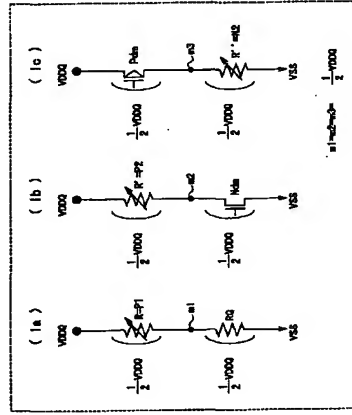
【図6】



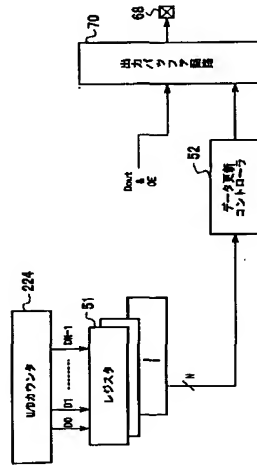
【図4】



【図5】

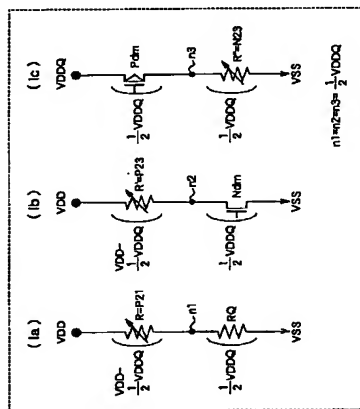


【図7】





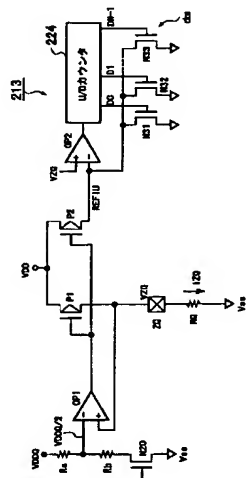
【図11】



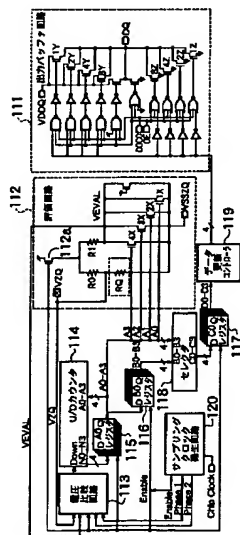
フロントページの続き

Fターム(参考) 5F038 AV06 AV13 AV18 B801 BE08  
C002 C010 D805 DF17 DT18  
E708 E720

【図8】



【図9】



【図10】

